

Ku 波段低噪声放大器的设计

电子电气与物理学院

微电子科学与工程 1901 班: 叶良泉

指导教师: 张国成

摘要: Ku 波段低噪声放大器是卫星通信射频接收系统的关键有源放大模块, 是下一代无线通信技术研究的热点之一。本文设计了一种在 Ku 波段下工作的低噪声放大器, 其主要电路采用了两级级联放大结构, 第一级为共源共栅结构, 第二级为共源极结构。该电路采用自偏置电路, 并通过选用合适的 MOS 管尺寸以及合理的匹配电路使得最终实现了较高的增益以及较低的噪声系数。仿真结果显示, 在工作频带为 10.75GHz~12.75GHz 下, 最低增益为 18.78dB, 噪声系数 $NF \leq 1.36\text{dB}$, 工作带宽内输入回波损耗 $S_{11} \leq -12.02\text{dB}$, 输出回波损耗 $S_{22} \leq -12.08\text{dB}$, $IP_{1\text{dB}} \geq -16.34\text{dBm}$, 芯片整体尺寸为 $1000\mu\text{m} \times 600\mu\text{m}$ 。

关键字: 低噪声放大器; 共源共栅; 自偏置; 匹配电路; 噪声系数

Design of the Ku-band low-noise amplifier

Abstract: Ku band low noise amplifier is a key active amplification module in satellite communication RF receiving system, and is one of the hotspots in the research of next-generation wireless communication technology. In this paper, we designed a low-noise amplifier working in the Ku band, and the main circuit adopts a two-stage cascade amplification structure, the first stage is the common source common gate structure, the second stage is the common source structure. This circuit adopts self-bias circuit, and achieves the higher gain and lower noise coefficient by selecting the appropriate MOS tube size and reasonable matching circuit. The simulation results show that under the operating frequency band 10.75GHz~12.75GHz, the lowest gain is 18.78dB, the noise coefficient $NF \leq 1.36\text{dB}$, the input echo loss $S_{11} \leq -12.02\text{dB}$, the output echo loss $S_{22} \leq -12.08\text{dB}$, $IP_{1\text{dB}} \geq -16.34\text{dBm}$, and the area of the layout is $1000\mu\text{m} \times 600\mu\text{m}$.

Keywords: low noise amplifier; cascode; self-bias circuit; matching circuit; noise coefficient

1. 目的与意义

在未来, 6G 移动通信将把陆地无线通信技术和低轨的卫星移动通信技术结合在一起, 建设天、地、海都覆盖的移动通信网和覆盖全球的高速移动网络。卫星通信在未来通信的重要性已经得到普遍认同。在目前, 卫星通信主要采用的是两种频段, 一种是 Ku 频段, 另一种是 C 频段。Ku 频段具有传输容量大, 不易受外界影响干扰等优点使得它成为了卫星通信中的优选频段。正因如此, 对于研究 Ku 频段的收发系统就显得十分重要。在射频前端接收系统中低噪声放大器(LNA)芯片是十分重要的模块, 低噪声放大器被广泛应用在许多系统中。它的性能优劣往往影响着整个系统, 对于一个性能优秀的低噪声放大器我们往往重点关

注它的噪声和增益指标，如果它的噪声系统过大或者增益过低都将可能会出现有用信号被噪声所覆盖的现象，将导致后级的相关电路无法收到正常的信号，进而影响整个射频接收机的性能。

2. Ku 波段低噪声放大器的设计理论

在进行微波低噪声放大器设计前，必须要掌握射频微波基本理论知识，首先是S参数基本理论，S参数定义了双端口网络的输入输出射波和反射波的关系。其次是阻抗匹配，阻抗匹配本质是使阻抗共轭匹配，或使复阻抗变为实阻抗，阻抗匹配可基于史密斯圆图工具，借助软件给出匹配网络的相关参数，包括阻抗、导纳、反射系数、驻波比等参数。

低噪声放大器作为射频接收端重要的有源模块之一，负责对天线端接收到的小信号进行低噪声放大，其主要性能指标有带宽，增益，噪声系数，线性度和端口回波损耗等。

3. 射频 MOS 工艺与器件的结构介绍

此次电路采用中芯国际 0.11 μm 工艺库进行设计，介绍了工艺库中射频 MOS 管的结构基础，分析了 I/V 特性曲线以及小信号电路模型，确定主要的噪声来源。

此次设计主要用到的无源器件为电容与电感，根据 PDK 建立了衬底工艺，衬底工艺模型如图 3.1 所示。通过仿真验证了电容、电感模型的准确性。比较了工艺库中的不同结构的电容、电感的优缺点，分析了等效模型，确定了此次设计所使用的电容、电感结构。

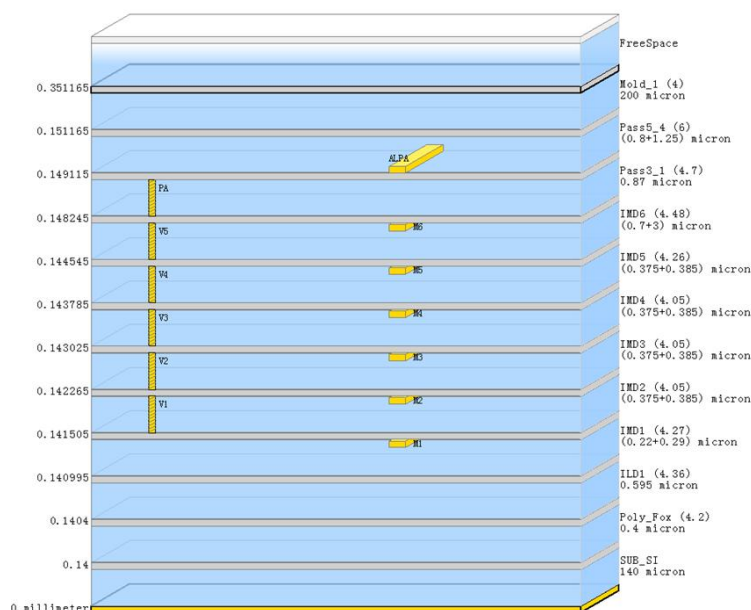


图 3.1 衬底工艺模型

4. Ku 波段低噪声放大器的设计与仿真

4.1 整体电路结构

在 Ku 波段低噪声放大器的设计过程中先比较了几种电路基本结构，分析了优缺点，最终选取的主要电路结构为前级共源共栅结构，后级共源极结构的两级级联电路结构。整体电路结构如图 4.1 所示，前级采用共源共栅结构能够提供足够高的增益从而抑制噪声系数，且该结构隔离度好，易于匹配电路的设计。由于增益要求较高，一级无法实现高增益，因此级联了共源极增大整体电路增益。

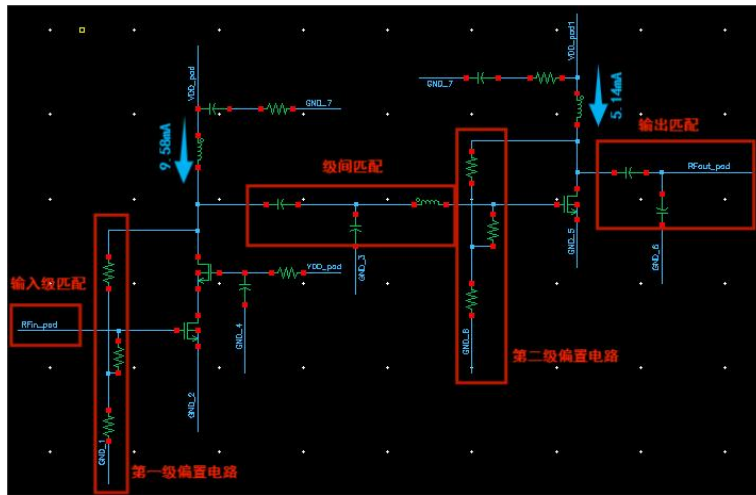


图 4.1 Ku 波段低噪声放大器电路原理图

4.2 封装模型设计

由于电感 Q 值低，寄生电阻值高，若利用电感进行匹配将严重恶化电路噪声系数。为实现较低的噪声系数值，此次设计利用封装建模中的邦定线带来的寄生参数值进行匹配电路的设计，封装模型如图 4.2 所示。邦定线能够带来较大的寄生电感与寄生电容值使得其作为匹配的一部分是可行的，同时其 Q 值很高，因此寄生电阻很小，若利用它进行电路匹配设计将极大程度优化噪声系数。

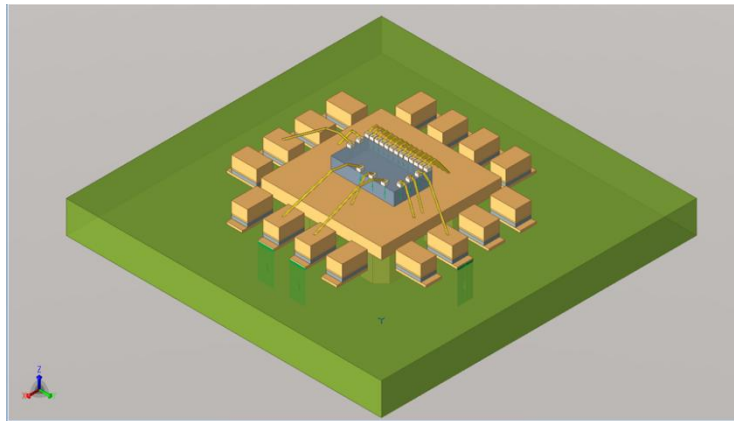


图 4.2 封装模型结构图

4.3 偏置电路及匹配电路设计

偏置电路采用自偏置电路，偏置电压通过仿真 MOS 管栅压值与增益、噪声系数之间的关系后确定。匹配电路通过 Smith 圆图的辅助，利用电容、电感以及邦定线的串并联实现优秀的匹配效果。

4.4 仿真结果

增益 S_{21} 与最大增益值 G_{\max} 仿真结果如图 4.3 所示。在工作频段内的最小增益值约为 18.78dB，最大增益约为 22.39dB，通过计算得带内增益平坦度约为 1.81dB，增益在工作频段内的平坦度较好。

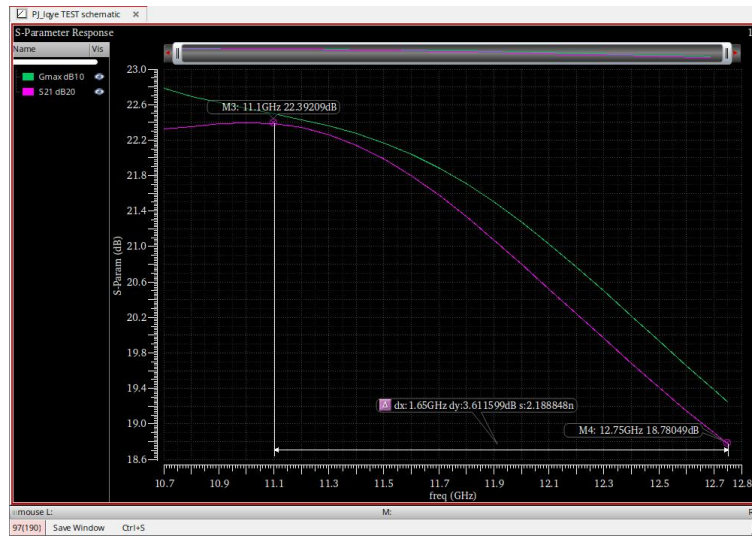


图 4.3 S_{21} 与 G_{\max} 仿真结果

噪声系数 NF 与最小噪声系数 NF_{\min} 仿真结果如图 4.4 所示。在工作频段内的噪声系数 NF 最大值约为 1.35dB。

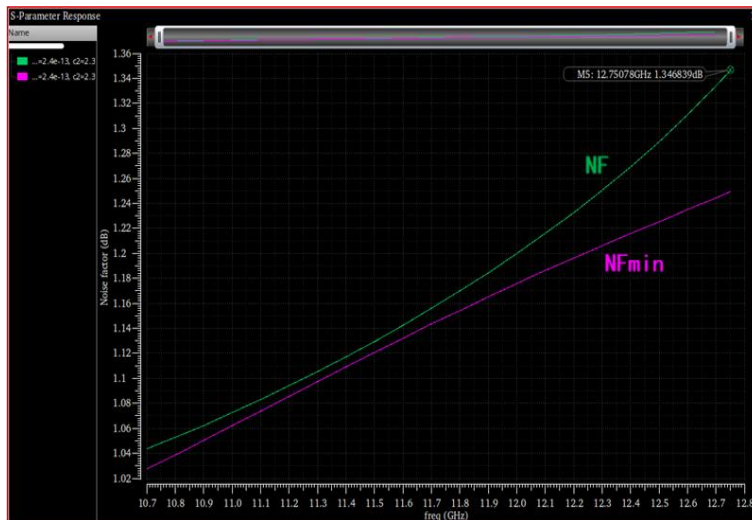


图 4.4 NF 与 NF_{\min} 仿真结果

输入回波损耗 S11 与输出回波损耗 S22 仿真结果如图 4.5 所示。在工作频段内 S11 与 S22 均小于-12dB，表明电路实现了较好的匹配。

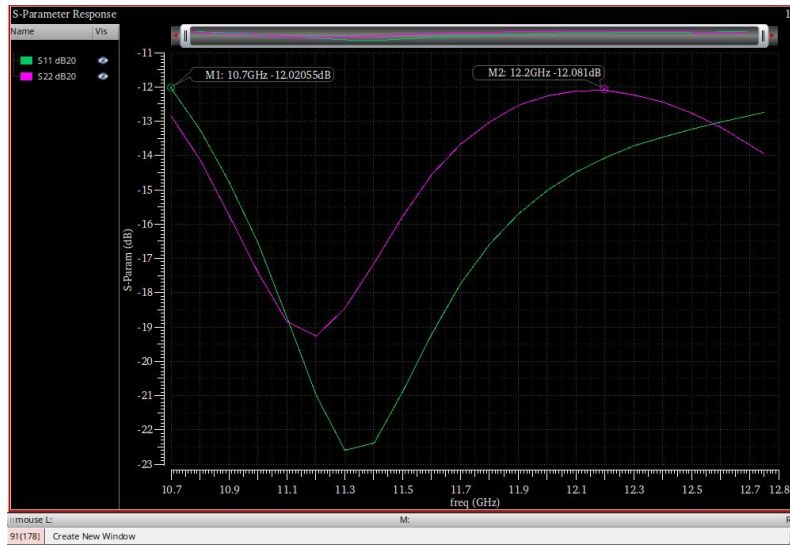


图 4.5 S11 与 S22 仿真结果

线性度仿真结果如图 4.6 所示。在工作频段下的 IP1dB>-16.34dBm。

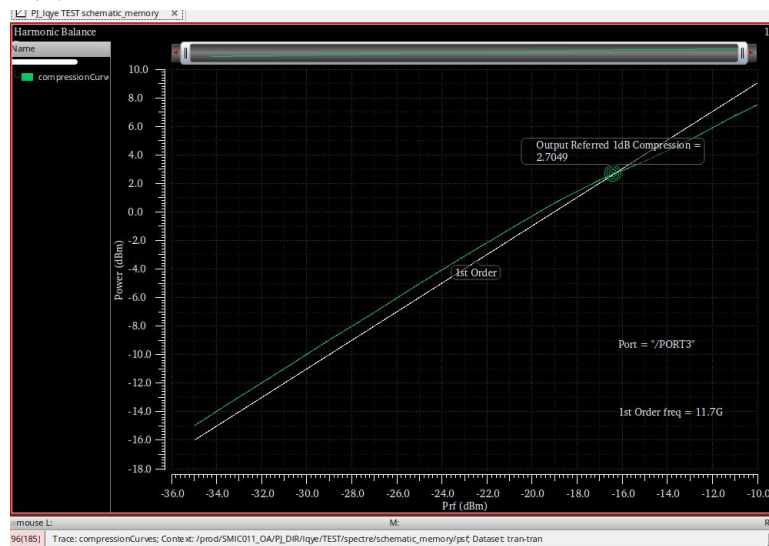


图 4.6 线性度仿真结果

稳定性 Kf 仿真结果如图 4.7 所示。在全频段内，稳定性 Kf 的最小值约为 1.76>1，说明放大器电路在全频段内都稳定。

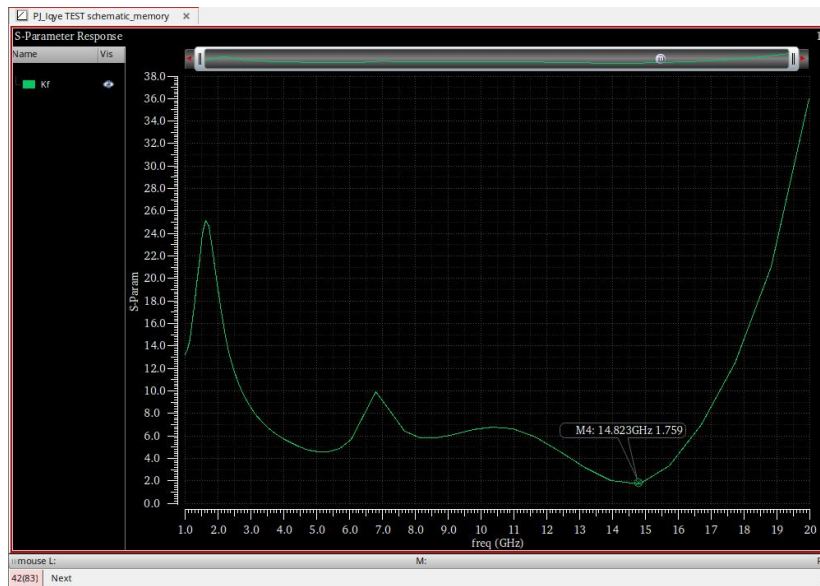


图 4.7 稳定性仿真结果

表 5-1 为总体仿真结果与指标的主要性能对比，由表可得本次设计基本满足设计指标。

表 5-1 仿真结果与指标的主要性能对比

设计指标	指标要求	仿真结果
动作频率	10.7GHz~12.75GHz	10.7GHz~12.75GHz
增益	>18dB	>18.78dB
噪声系数	<1.4dB	<1.36dB
输入回波损耗	<-12dB	<-12.02dB
输出回波损耗	<-12dB	<-12.08dB
带内增益平坦度	<2dB	<1.81dB
电压	1.8V	1.8V
电流	<15mA	14.72mA

4.5 版图设计

在电路设计完成后还进行了版图的设计，整体版图如图 4.8 所示。由于芯片面积较大，空白处利用 dummy 进行填充，减小误差。最后进行了电路图对照检查设计规则检查 DRC(Design Rule Check)和 LVS(Layout Versus Schematic)，通过 DRC，可保证代工厂制作电路的可靠性，再通过 LVS，即可完成电路原理图和电路版图的对照，保证版图和原理图的一致性。

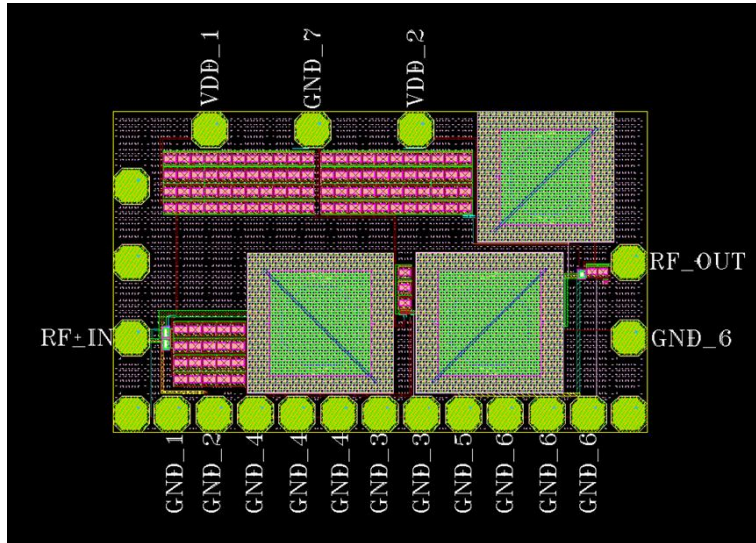


图 4.8 Ku 波段低噪声放大器整体版图

5. 总结

本次课题目的为设计一款工作在 Ku 波段频段下的低噪声放大器，通过射频电路的基础理论为出发点，运用各仿真软件对中芯国际 $0.11\mu\text{m}$ 工艺库进行研究仿真，确定了设计过程中所需利用的器件类型，通过对低噪声放大器的基础结构进行分析比较，建立了芯片封装模型，最终确定了低噪声放大器的整体结构以及电路版图。

所设计的低噪声放大器在 $10.7\text{GHz}\sim 12.75\text{GHz}$ 频段内增益大于 18.78dB ，噪声系数小于 1.36dB ，输入输出回波损耗均小于 -12dB ，输入功率 IP1dB 大于 -16.34dBm ，全频段内稳定系数大于 1。芯片版图面积为 $1000\mu\text{m}\times 600\mu\text{m}$ 。

主要参考文献：

- [1] 吴巍. 天地一体化信息网络发展综述[J]. 天地一体化信息网络, 2020, 1 (1): 1-16.
- [2] Kargaran E, Khosrowjerdi H, Ghaffarzagdegan K, et al. A novel high gain two stage ultra-wide band CMOS LNA in $0.18\ \mu\text{m}$ technology[C]//Proceedings of Papers 5th European Conference on Circuits and Systems for Communications (ECCSC'10). IEEE, 2010: 90-92.
- [3] Yang G L, Liu F, Muhammad A, et al. 30–50 GHz high-gain CMOS UWB LNA[J]. Electronics letters, 2013, 49(25): 1622-1623.
- [4] Asharani M, Nagabhushan M. A 2.4 GHz Algorithmic Design of CMOS LNA in 180nm Technology[C]//2018 3rd IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT). IEEE, 2018: 2579-2582.
- [5] Zhang Z, Xu L. AX/Ku-Band Broadband Low Noise Amplifier in $0.18\ \mu\text{m}$ CMOS[C]//2021 6th International Conference on Integrated Circuits and Microsystems (ICICM). IEEE, 2021: 193-196.

- [6] 李智群, 王志功. 射频集成电路与系统 [M]. 科学出版社, 2008.
- [7] 于澍. 全集成CMOS宽带低噪声放大器的设计[D]. 南京邮电大学, 2020.
- [8] 张志涛. 基于CMOS工艺的一种K波段低噪声放大器设计[D]. 南京邮电大学, 2022.
- [9] Lovelace D, Costa J, Camilleri N. Extracting small-signal model parameters of silicon MOSFET transistors[C]//1994 IEEE MTT-S International Microwave Symposium Digest (Cat. No. 94CH3389-4). IEEE, 1994: 865-868.
- [10] 拉扎维, 陈贵灿等. 模拟CMOS集成电路设计[M]. 西安交通大学出版社, 2003:165-197.
- [11] 董育其. X波段射频接收前端设计[D]. 东南大学, 2018.
- [12] Moctezuma-Pascual E, Torres-Torres R. CAD-oriented equivalent circuit modeling of a two-port ground-shielded MIM capacitor[J]. IEEE Transactions on Electron Devices, 2020, 68(2): 923-927.
- [13] Sullivan P J, Xavier B A, Ku W H. An integrated CMOS distributed amplifier utilizing packaging inductance[J]. IEEE Transactions on Microwave Theory and Techniques, 1997, 45(10): 1969-1976.
- [14] Fan X, Zhang H, Sánchez-Sinencio E. A noise reduction and linearity improvement technique for a differential cascode LNA[J]. IEEE Journal of Solid-State Circuits, 2008, 43(3): 588-599.
- [15] 王文捷, 邱盛, 王健安, 等. 毫米波天线集成技术研究进展[J]. 微电子学, 2019(4):8.
- [16] 吴冬燕. 集成电路版图设计的技巧[J]. 福建电脑, 2009 (4): 186-187.